

特 許 協 力 条 約

PCT

国際予備審査報告

REC'D 10 JUN 2004

WIPO

PCT

(法第12条、法施行規則第56条)
(PCT36条及びPCT規則70)

出願人又は代理人 の書類記号 JHTK-51-PCT	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JP03/06860	国際出願日 (日.月.年) 30.05.2003	優先日 (日.月.年) 18.07.2002
国際特許分類(IPC) Int. Cl ⁷ H05K1/16, H05K3/46, H01F17/00, H01G4/40, H01G4/18		
出願人(氏名又は名称) 日立化成工業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。

☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 8 ページである。

3. この国際予備審査報告は、次の内容を含む。

I ☒ 国際予備審査報告の基礎

II ☐ 優先権

III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成

IV ☐ 発明の単一性の欠如

V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明

VI ☐ ある種の引用文献

VII ☐ 国際出願の不備

VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 11.12.2003	国際予備審査報告を作成した日 19.05.2004		
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 長屋 陽二郎	3S	8811
電話番号 03-3581-1101 内線 6232			

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

- ☒ 明細書 第 1-33 ページ、
 明細書 第 _____ ページ、
 明細書 第 _____ ページ、
 出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 _____ 付の書簡と共に提出されたもの
- ☒ 請求の範囲 第 4-5, 13-14, 19-20, 24-30, 32項、
 請求の範囲 第 1, 3, 6, 8-12, 15-18, 21-23 31項、
 請求の範囲 第 _____ 項、
 請求の範囲 第 _____ 項、
 出願時に提出されたもの
 PCT19条の規定に基づき補正されたもの
 国際予備審査の請求書と共に提出されたもの
 _____ 付の書簡と共に提出されたもの
- ☐ 図面 第 1-7 ページ/図、
 図面 第 _____ ページ/図、
 図面 第 _____ ページ/図、
 出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、
 明細書の配列表の部分 第 _____ ページ、
 明細書の配列表の部分 第 _____ ページ、
 出願時に提出されたもの
 国際予備審査の請求書と共に提出されたもの
 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)という翻訳文の言語
☐ PCT規則48.3(b)という国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3という翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 2, 7 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1, 3, 5, 6, 8-23, 26-32	有
	請求の範囲	4, 24-25	無
進歩性(IS)	請求の範囲	1, 3	有
	請求の範囲	4-6, 8-32	無
産業上の利用可能性(IA)	請求の範囲	1, 3-6, 8-32	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

- 文献1: JP 9-148746 A (京セラ株式会社) 1997. 06. 06
文献2: JP 10-013036 A (京セラ株式会社) 1998. 01. 16
文献3: JP 2001-68858 A (新光電気工業株式会社)
2001. 03. 16
文献4: JP 1-189999 A (松下電工株式会社) 1989. 07. 31
文献5: JP 7-183665 A (株式会社村田製作所)
1995. 07. 21
文献6: JP 6-085462 A (日本セメント株式会社)
1994. 03. 25

請求の範囲1, 3に記載された発明は、国際調査報告で引用された文献1乃至6に対して進歩性を有する。文献1乃至6には、コア層を除く任意の層においてコンデンサを有する非対象の層構成を有し、その反りが室温において曲率 $4.0 \times 10^{-4} \text{mm}^{-1}$ 以下であることが記載されておらず、しかもその点は当業者といえども自明のものではない。

請求の範囲4, 24, 25に記載された発明は、国際調査報告で引用された文献3から新規性を有さない。

請求の範囲5に記載された発明は、国際調査報告で引用された文献3より進歩性を有しない。文献3の発明から、導体パターンが3種類の異なる絶縁材料に接するようにする程度のことは、当業者にとって容易である。

請求の範囲6, 8-9に記載された発明は、国際調査報告で引用された文献1, 文献2及び文献5より進歩性を有しない。文献1または2に記載された発明において、文献5に記載の一方の電極を対向する電極より内側に配置するという手段を適用することは、当業者にとって容易である。

補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V 欄の続き

請求の範囲 10-11 に記載された発明は、国際調査報告で引用された文献 1、文献 2 及び文献 5 より進歩性を有しない。導体層の不要部分をエッチングすることは文献 2 に記載されている。

請求の範囲 12-14 に記載された発明は、国際調査報告で引用された文献 3 及び文献 4 より進歩性を有しない。文献 3 に記載された発明において、文献 4 に記載のインダクタを多層配線板に形成するという手段を適用することは、当業者にとって容易である。

請求の範囲 15-23 に記載された発明は、国際調査報告で引用された文献 1、文献 2、文献 3、文献 4 及び文献 5 より進歩性を有しない。

請求の範囲 26-29 に記載された発明は、国際調査報告で引用された文献 1、文献 2、文献 3 及び文献 6 より進歩性を有しない。文献 1、2 または 3 に記載された発明において、文献 6 に記載の複数回の露光を行うという手段を適用することは、当業者にとって容易である。

請求の範囲 30 に記載された発明は、国際調査報告で引用された文献 1-3、文献 4 及び文献 6 より進歩性を有しない。

請求の範囲 31-32 に記載された発明は、国際調査報告で引用された文献 1-6 より進歩性を有しない。

請 求 の 範 囲

1. (補正後) 複数の絶縁層と、複数の導体層と、前記複数の導体層を電氣的に接続する導体化された非貫通穴と、高誘電率材料を含む少なくとも1つの前記絶縁層の上下面に電極を形成してなるコンデンサと、を有する多層配線板であって、コア層を除く任意の層に前記コンデンサを有する非対称の層構成を有し、その反りが室温において曲率 $4.0 \times 10^{-4} \text{mm}^{-1}$ 以下であり、かつ前記高誘電率材料硬化物の、25℃、1MHzにおける比誘電率が20～100、厚みが0.1～30 μm であることを特徴とする多層配線板。
2. (削除)
3. (補正後) コア層を除く任意の層に前記コンデンサを有する非対称の層構成を有し、その反り量が1mm以下であることを特徴とする請求項1に記載の多層配線板。
4. 複数の絶縁層と、複数の導体層と、前記複数の導体層を電氣的に接続する導体化された非貫通穴と、高誘電率材料を含む少なくとも1つの前記絶縁層の上下面に電極を形成してなるコンデンサと、を有する多層配線板であって、前記電極を含む導体パターン間の凹部に前記高誘電率材料と異なる絶縁材料が充填され、該導体パターン表面と充填された絶縁材料表面とが平坦化されていることを特徴とする多層配線板。
5. 少なくとも1つの前記電極を含む導体パターンが前記高誘電率材料を含む3種類の異なる絶縁材料に接していることを特徴とする請求項4に記載の多層配線板。
6. (補正後) 複数の絶縁層と、複数の導体層と、前記複数の導体層

- を電氣的に接続する導体化された穴と、少なくとも1層の前記絶縁層の比誘電率が25℃、1MHzにおいて20～100の高誘電率材料を含むものからなり、該絶縁層の上下面に電極を形成してなるコンデンサと、を有する多層配線板であって、対向する前記電極の少なくとも片側が厚み1～18μmの範囲であり、これに対向する電極の外周より内側にあることを特徴とする多層配線板。
- 5

7. (削除)

8. (補正後) 前記 1 ～ 18 μm の厚みを有する電極の各側面と、これに対向する電極の各側面との最短となる水平距離が、それぞれ 50
5 ～ 100 μm の範囲であることを特徴とする請求項 6 に記載の多層配線板。

9. (補正後) 前記 1 ～ 18 μm の厚みを有する電極の各側面と、該電極上に設けられた、任意の導体層間を電氣的に接続する導体化された穴の外周部との最短となる水平距離が、それぞれ 100 μm 以上で
10 あることを特徴とする請求項 6 または 8 に記載の多層配線板。

10. (補正後) 前記 1 ～ 18 μm の厚みを有する電極が、導体層の不要部分をエッチング除去することにより形成されることを特徴とする請求項 6、8 および 9 のいずれかに記載の多層配線板。
15

11. (補正後) コア層を除く任意の層に前記コンデンサを有し、かつコンデンサの容量ばらつきが $\pm 5\%$ 未満であることを特徴とする請求項 4 ～ 6 および 8 ～ 10 のいずれかに記載の多層配線板。

20

12. (補正後) 少なくとも 1 つの導体層をパターン形成してなるインダクタを有することを特徴とする請求項 1、3 ～ 6、および 8 ～ 11 のいずれかに記載の多層配線板。

13. 前記インダクタを形成した導体層の厚みが他の導体層の厚みよりも薄く、かつその厚みが $1 \sim 12 \mu\text{m}$ であることを特徴とする請求項12に記載の多層配線板。

- 5 14. 前記インダクタは、前記絶縁層の上下面に形成された前記電極のうち、いずれか一方に作製されることを特徴とする請求項12または13に記載の多層配線板。

- 10 15. (補正後) 前記高誘電率材料を含む少なくとも1つの前記絶縁層とこれに隣接する絶縁層とを同時に貫く非貫通穴を有することを特徴とする請求項1、3～6、および8～14のいずれかに記載の多層配線板。

- 15 16. (補正後) 前記高誘電率材料が、エポキシ樹脂、その硬化剤、および高誘電率充填材を含むことを特徴とする請求項1、3～6、および8～15のいずれかに記載の多層配線板。

- 20 17. (補正後) 前記高誘電率材料が、エポキシ樹脂、その硬化剤、高誘電率充填材、および少なくとも一種の官能基を有する重量平均分子量が1万～80万である高分子量樹脂を含むことを特徴とする請求項1、3～6、および8～16のいずれかに記載の多層配線板。

- 25 18. (補正後) 前記高誘電率材料のBステージ状態の 120°C における熔融粘度が $100 \sim 200 \text{ Pa} \cdot \text{S}$ であることを特徴とする請求項1、3～6、および8～17のいずれかに記載の多層配線板。

- 30 19. 前記高誘電率充填材が、チタン酸バリウム、チタン酸ストロンチウム、チタン酸カルシウム、チタン酸マグネシウム、チタン酸鉛、二酸化チタン、ジルコン酸バリウム、ジルコン酸カルシウム、ジルコン酸鉛からなる群から選ばれる1種以上であることを特徴とする請

求項 16～18 のいずれかに記載の多層配線板。

20. 前記高誘電率充填材が、重量比として、前記エポキシ樹脂 100 に対して 300～3000 配合されることを特徴とする請求項 16～19 のいずれかに記載の多層配線板。

21. (補正後) 最外導体層として、300 μ m 以上の幅を有する導体パターンが少なくとも 1 本形成され、さらに該最外導体層に隣接する絶縁層の厚みが 150 μ m 以上であることを特徴とする請求項 1、3～6、および 8～20 のいずれかに記載の多層配線板。

22. (補正後) 前記高誘電率材料を含む少なくとも 1 つの前記絶縁層以外の絶縁層が、ガラス基材で補強され、かつ無機フィラーを含むことを特徴とする請求項 1、3～6、および 8～21 のいずれかに記載の多層配線板。

23. (補正後) 前記絶縁層の上下面に形成された電極が、該絶縁層の片面もしくは両面の全てを覆わないように形成されていることを特徴とする請求項 1、3～6、および 8～22 のいずれかに記載の多層配線板。

24. 複数の絶縁層と、複数の導体層と、前記複数の導体層を電氣的に接続する導体化された非貫通穴と、高誘電率材料を含む少なくとも 1 つの前記絶縁層の上下面に電極を形成してなるコンデンサとを有する多層配線板の製造方法であって、

前記電極の一方を含む導体パターンを形成する工程と、

前記導体パターン間の凹部に前記高誘電率材料と異なる絶縁材料を充填、硬化する工程と、

研磨により前記導体パターンの表面と該導体パターン間の凹部に充填、硬化された絶縁材料表面とを平坦にする工程と、

JP 03-6860
03 Nov 03

37/1

半硬化状態の前記高誘電率材料を備えた金属箔を加熱積層する工程と、

を少なくとも含むことを特徴とする多層配線板の製造方法。

- 5 25. さらに、前記金属箔をエッチングすることにより、前記電極の他方を含む導体パターンを形成する工程を含む請求項24に記載の多層配線板の製造方法。

- 10 26. 複数の絶縁層と、複数の導体層と、前記複数の導体層を電氣的に接続する導体化された穴と、少なくとも1層の前記絶縁層の比誘電率が25℃、1MHzにおいて20～100の高誘電率材料を含むものからなり、該絶縁層の上下面に電極を形成してなるコンデンサと、を有する多層配線板の製造方法であって、導体パターン形成時、感光性レジストのパターン露光面積を1～250cm²/回として、同一基板内に複数回露光することを特徴とする多層配線板の製造方法。

- 15 27. 前記電極が1～18μmの厚みを有し、該電極を含む導体パターン形成時に前記複数回の露光を行うことを特徴とする請求項26に記載の多層配線板の製造方法。

- 20 28. 感光性レジストのパターン露光時に無機物からなるフォトマスクを使用することを特徴とする請求項26または27に記載の多層配線板の製造方法。

- 25 29. 前記電極を含む導体パターンを導体層の不要部分をエッチング除去して形成することを特徴とする請求項26～28のいずれかに記載の多層配線板の製造方法。

30 30. さらに、少なくとも1つの導体層にインダクタを形成する工程を含む請求項24～29のいずれかに記載の多層配線板の製造方法。

31. (補正後) 請求項1、3～6、および8～23のいずれかに記

03-6860
03 Nov 03

38/1

載の多層配線板、または請求項

CLAIMS

1. A multilayer wiring board comprising a plurality of insulating layers, a plurality of conductive layers, a conductive non-through hole for electrically connecting the plurality of conductive layers to each other, and a capacitor produced by forming electrodes on upper and lower surfaces of at least one insulating layer containing a high-dielectric material, wherein a hardened material of the high-dielectric material has a specific inductive capacity ranging from 20 to 100 at 25°C, 1 MHz and a thickness ranging from 0.1 to 30 μm .

2. The multilayer wiring board according to claim 1, wherein the capacitor is in an arbitrary layer except for a core layer and a layer structure is asymmetrical, a warpage is $4.0 \times 10^{-4} \text{mm}^{-1}$ or less in curvature at a room temperature.

3. The multilayer wiring board according to claims 1 or 2, wherein the capacitor is in an arbitrary layer except for a core layer and a layer structure is asymmetrical, and a warpage is 1 mm or less.

4. A multilayer wiring board comprising a plurality of insulating layer, a plurality of conductive layers, a conductive non-through hole for electrically connecting the plurality of conductive layers to each other, and a capacitor produced by forming electrodes on upper and lower surfaces of at least

one insulating layer containing a high-dielectric material, wherein an insulating material different from the high-dielectric material is filled in a recessed portion between conductive patterns including the electrodes, and the surfaces of the conductive patterns and the surface of the filled insulating material are planarized.

5. The multilayer wiring board according to claim 4, wherein the conductive pattern including at least one of the electrodes is in contact with different insulating materials of three types including the high-dielectric material.

6. A multilayer wiring board comprising a plurality of insulating layers, a plurality of conductive layers, a conductive hole for electrically connecting the plurality of conductive layers to each other, and a capacitor comprising at least one of the insulating layers containing a high-dielectric material having a specific inductive capacity ranging from 20 to 100 at 25°C, 1 MHz and produced by forming electrodes on upper and lower surfaces of the insulating layer, wherein at least one side of the counter electrodes has a thickness ranging from 1 to 18 μm .

7. The multilayer wiring board according to claim 6, wherein the electrode having the thickness ranging from 1 to 18 μm is arranged inside the outer periphery of the electrode opposing the electrode having the thickness.

8. The multilayer wiring board according to claim 6 or 7, wherein a minimum horizontal distance between each side surface of the electrode having the thickness ranging from 1 to 18 μm and each side surface of the electrode opposing it are respectively ranging from 50 to 100 μm .

9. The multilayer wiring board according to claims 6 to 8, wherein a minimum horizontal distance between each side surface of the electrode having the thickness ranging from 1 to 18 μm and an outer edge of the conductive hole formed on the electrode for electrically connecting arbitrary conductive layers are respectively 100 μm or more.

10. The multilayer wiring board according to any one of claims 6 to 9, wherein the electrode having the thickness ranging from 1 to 18 μm is formed by etching and removing an unnecessary portion of a conductive layer.

11. The multilayer wiring board according to any one of claims 4 to 10, wherein the capacitor is in an arbitrary layer except for a core layer, and a fluctuation in capacitance of the capacitor is less than $\pm 5\%$.

12. The multilayer wiring board according to any one of claims 1 to 11, comprising an inductor formed by patterning at least one conductive layer.

13. The multilayer wiring board according to claim 12, wherein a thickness of the conductive layer in which the inductor is formed is smaller than a thickness of another conductive layer and ranges from 1 to 12 μm .

14. The multilayer wiring board according to claim 12 or 13, wherein the inductor is manufactured on any one of the electrodes formed on the upper and lower surfaces of the insulating layer.

15. The multilayer wiring board according to any one of claims 1 to 14, comprising a non-through hole which simultaneously penetrates at least one of the insulating layer containing the high-dielectric material and another insulating layer adjacent to the insulating layer containing the high-dielectric material.

16. The multilayer wiring board according to any one of claims 1 to 15, wherein the high-dielectric material contains an epoxy resin, a hardening agent for the epoxy resin, and a high-dielectric material filler.

17. The multilayer wiring board according to any one of claims 1 to 16, wherein the high-dielectric material contains an epoxy resin, a hardening agent for the epoxy resin, a high-dielectric material filler, and a high-molecular-weight

resin having at least one functional group and a weight-average molecular weight ranging from 10000 to 800000.

18. The multilayer wiring board according to any one of claims 1 to 17, wherein a melting viscosity of the high-dielectric material in a B-stage state at 120°C preferably ranges from 100 to 200 Pa.S.

19. The multilayer wiring board according to any one of claims 16 to 18, wherein the high-dielectric material filler is at least one selected from the group consisting of barium titanate, strontium titanate, calcium titanate, magnesium titanate, lead titanate, titanium dioxide, barium zirconate, and calcium zirconate, lead zirconate.

20. The multilayer wiring board according to any one of claims 16 to 19, wherein the high-dielectric filler is compounded 300 to 3000 parts by weight to the epoxy resin of 100 parts by weight.

21. The multilayer wiring board according to any one of claims 1 to 20, wherein, as an outermost conductive layer, at least one conductive pattern having a width of 300 μ m or more is formed, and a thickness of an insulating layer adjacent to the outermost conductive layer is 150 μ m or more.

**REPLACED BY
ART 34 AMDT**

22. The multilayer wiring board according to any one of claims 1 to 21, wherein an insulating layer except for at least one of the insulating layers containing the high-dielectric material is reinforced by a glass substrate and contains an inorganic filler.

23. The multilayer wiring board according to any one of claims 1 to 22, wherein the electrodes formed on the upper and lower surfaces of the insulating layer are formed so that one surface or both the surfaces of the insulating layer may not be entirely covered.

24. A manufacturing method of a multilayer wiring board which includes a plurality of insulating layers, a plurality of conductive layers, a conductive non-through hole for electrically connecting the plurality of conductive layers to each other, and a capacitor produced by forming electrodes on upper and lower surfaces of at least one insulating layer containing a high-dielectric material, comprising: at least

the step of forming conductive patterns including one of the electrodes;

the step of filling and hardening an insulating material different from the high-dielectric material in a recessed portion between the conductive patterns;

the step of planarizing the surfaces of the conductive patterns and the surface of the insulating material filled and hardened in the recessed portion between the conductive

patterns by polishing; and

the step of heating and laminating a metal foil having the high-dielectric material in a semi-hardened state.

25. The manufacturing method of a multilayer wiring board according to claim 24, further comprising a step of forming a conductive pattern including the other of the electrodes by etching the metal foil.

26. The manufacturing method of a multilayer wiring board which includes a plurality of insulating layers, a plurality of conductive layers, a conductive hole for electrically connecting the plurality of conductive layers to each other, and a capacitor comprising at least one of the insulating layers containing a high-dielectric material having a specific inductive capacity ranging from 20 to 100 at 25°C, 1 MHz and produced by forming electrodes on upper and lower surfaces of the insulating layer, wherein, in formation of a conductive pattern, the same substrate is exposed a plurality of times such that a pattern exposure area of a photosensitive resist is set at 1 to 250 cm²/time.

27. The manufacturing method of a multilayer wiring board according to claim 26, wherein the electrode has a thickness ranging from 1 to 18 μm, and exposure is performed the plurality of times in formation of the conductive pattern including the electrode.

28. The manufacturing method of a multilayer wiring board according to claim 26 or 27, wherein a photomask consisting of an inorganic material is used in pattern exposure of the photosensitive resist.

29. The manufacturing method of a multilayer wiring board according to any one of claims 26 to 28, wherein the conductive pattern including the electrode is formed by etching and removing an unnecessary portion of a conductive layer.

30. The manufacturing method of a multilayer wiring board according to any one of claims 24 to 29, further comprising the step of forming an inductor in at least one of the conductive layers.

31. A semiconductor device wherein a semiconductor chip is mounted on a multilayer wiring board according to any one of claims 1 to 23 or a multilayer wiring board manufactured by a manufacturing method according to any one of claims 24 to 30.

32. A wireless electronic device wherein a semiconductor device according to claim 31 is mounted.

ABSTRACT

A multilayer wiring board exhibiting excellent moldability and having a capacitor where variation of capacitance is suppressed, its producing method, a semiconductor device mounting a semiconductor chip on the multilayer wiring board, and a wireless electronic device mounting the semiconductor device.